

PAT-NO: JP358023470A
DOCUMENT-IDENTIFIER: JP 58023470 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: February 12, 1983

INVENTOR-INFORMATION:

NAME

KANO, MASAYUKI

ISHITOBI, HIROSHI

ASSIGNEE-INFORMATION:

NAME

OKI ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP56122371

APPL-DATE: August 6, 1981

INT-CL (IPC): H01L027/04

US-CL-CURRENT: 257/532, 257/E29.345

ABSTRACT:

PURPOSE: To obtain a capacitor, which has large capacitance though it has a small area, while inhibiting leakage currents and improving the degree of integration by forming the capacitor by stages.

CONSTITUTION: The first insulating layers (insulating films) 7, the first layer metallie films (conductor films) 5, 51, the second insulating layers (insulating films) 8 and the second layer metallic films (conductor films) 6, 61 are arranged onto the surface of an N type epitaxial layer 2 containing the surfaces of diffusion layers 3, 4 by stages. In the semiconductor device formed in this manner, the capacitor Co having junction capacitance

shaped by
the P type diffusion layer 3 and the N type epitaxial layer 2, the
capacitor
C<SB>1</SB>, which uses the first layer metallic film 5 and the P
type
diffusion layer 3 as both electrodes and the first insulating layers
7 as
insulating layers, and the capacitance C<SB>2</SB>, which employs the
second
layer metallic film 61 and the first layer metallic film 5 as both
electrodes
and the second insulating layers 8 as insulating layers, are formed.

COPYRIGHT: (C)1983,JPO&Japio

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—23470

⑤ Int. Cl.³

H 01 L 27/04

識別記号

庁内整理番号

8122—5F

④ 公開 昭和58年(1983)2月12日

発明の数 1

審査請求 未請求

(全 3 頁)

⑭ 半導体装置

⑲ 特 願 昭56—122371

⑳ 出 願 昭56(1981)8月6日

㉑ 発 明 者 加納政幸

東京都港区虎ノ門1丁目7番12

号沖電気工業株式会社内

㉒ 発 明 者 石飛博司

東京都港区虎ノ門1丁目7番12

号沖電気工業株式会社内

㉓ 出 願 人 沖電気工業株式会社

東京都港区虎ノ門1丁目7番12

号

㉔ 代 理 人 弁理士 菊池弘

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

PN接合キャパシタの接合面上に絶縁膜と導体膜を階層的に複数個重ねることにより、前記PN接合面積とほぼ同程度の面積でPN接合キャパシタンスより大容量のキャパシタを有することを特徴とする半導体装置。

3. 発明の詳細な説明

この発明は半導体装置に関し、詳しくは半導体集積回路装置で構成されるキャパシタに関するものである。

従来の半導体集積回路装置で構成されるキャパシタの断面図を第1図に示す。第1図において、1はP型基板、2はP型基板1の上に形成される低濃度のN型エピタキシャル層、3はN型エピタキシャル層2に拡散される高濃度のP型拡散層、4はN型エピタキシャル層2の電極取出しのための高濃度N型拡散層であり、このN型拡散層4は

P型拡散層3の直下全面に埋込み形式で拡散されている。また、N型拡散層4は集積回路装置の最高電位V_{CC}に接続されており、したがって、前記V_{CC}より低電位の信号電位V_iに接続するP型拡散層3と前記N型エピタキシャル層2とで形成されるPN接合は逆バイアスされ、V_{CC}とV_i間には、直流回路電流が流れることのない前記接合キャパシタンスを有するキャパシタが形成されることになる。そのキャパシタンスは、

$$C_0 = \epsilon_0 \frac{A_0}{L_0}$$

で表現される。ここで、 ϵ_0 は半導体誘電率、 A_0 はPN接合面積、 L_0 はPN接合空乏層幅を示している。

第1図において、前記PN接合には、PN接合面積に比例し、

$$I_0 = \left(\frac{q D_P \cdot P_{n0}}{L_P} + \frac{p \cdot D_n \cdot n_{p0}}{L_n} \right) \cdot A_0$$

(ここで、 A_0 を除く各記号は通常使用される記号であるので説明を省略する)

で表現される逆方向リーク電流が流れることは周知であり、また実際に製造されるPN接合においては、前記の逆方向リーク電流で表現することのできない、不確定でありかつPN接合面積にほぼ比例するリーク電流が流れることも周知である。

また、第1図の構成において大容量キャパシタを得るには、前記キャパシタンス表現式から、 A_0 を大きくするが、 L_0 を小さくすればよいことがわかる。ここで、PN接合空乏層幅 L_0 は通常の半導体集積回路装置製造工程では一義的に決定されるため、従来は A_0 を大きくすることで大容量キャパシタを形成してきた。

しかし、 A_0 を大きくすると、前記の理由でPN接合における前記のリーク電流が増大するという欠点だけでなく、半導体集積回路装置の集積度を低下させるという欠点があつた。

この発明は上記の点に鑑みなされたもので、小面積にして大容量のキャパシタを構成し得る半導体装置を提供することを目的とする。

以下この発明の実施例を図面を参照して説明す

層8に開けられた小孔を通して第1層金属膜51と導通し、さらに前記 V_{cc} より低電位の信号電位 V_i と接続される。

このように構成された半導体装置においては、P型拡散層3とN型エピタキシャル層2で形成される接合容量を有する第1図において説明したと同様のキャパシタ C_0 と、第1層金属膜5とP型拡散層3を両電極として第1絶縁層7を絶縁層とするキャパシタ C_1 と、第2層金属膜61と第1層金属膜5を両電極とし、第2絶縁層8を絶縁層とするキャパシタ C_2 とが形成される。

また、N型拡散層4、第1層金属膜5および第2層金属膜6が共に電氣的導通状態にあつて V_{cc} に接続されており、さらに、P型拡散層3、第1層金属膜51および第2層金属膜61が共に電氣的導通状態にあつて、 V_i に接続されているため、 V_{cc} と V_i 間には並列接続された前記キャパシタ C_0 、 C_1 、 C_2 が形成されることになる。すなわち、 V_{cc} と V_i 間のキャパシタは $C = C_0 + C_1 + C_2$ となる。

このような第3図の半導体装置において、キャ

る。第2図はこの発明の実施例であつて、図中1～4は第1図と同一である。一方、7は第1絶縁層（絶縁膜）、5、51は第1層金属膜（導体膜）、8は第2絶縁層（絶縁膜）、6、61は第2層金属膜（導体膜）であり、これらは、拡散層3、4の表面を含むN型エピタキシャル層2の表面上に階層的に重ねて配置されている。しかも、第1層金属膜5は、P型拡散層3とN型エピタキシャル層2とで形成されるPN接合面上のほぼ全面に配線されており、かつ第1絶縁層7に開けられた小孔を通してN型拡散層4と導通している。これに対して、第1層金属膜51は前記PN接合面上の一端にのみ配線されており、第1絶縁層7に開けられた小孔を介してP型拡散層3と導通している。一方、第2層金属膜6は前記PN接合面上から外れた部分において配線されて、第2絶縁層8に開けられた小孔を通して第1層金属膜5と導通し、さらに半導体装置の最高電位 V_{cc} と接続される。これに対して、第2層金属膜61は前記PN接合面上のほぼ全面に配線されており、かつ第2絶

パシタ C_1 、 C_2 は

$$C_1 = \epsilon_1 \frac{A_1}{L_1}, \quad C_2 = \epsilon_2 \frac{A_2}{L_2}$$

のように表現できる。ここで、 ϵ_1 、 ϵ_2 はそれぞれ第1絶縁層7、第2絶縁層8の誘電率、 L_1 、 L_2 はそれぞれ第1絶縁層7、第2絶縁層8の厚さ、 A_1 は第1層金属膜5とP型拡散層3とが対向する面積、 A_2 は第2層金属膜61と第1層金属膜5とが対向する面積である。

また、キャパシタ C_0 と C_1 と C_2 の各パラメータは

$$A_1 + A_2 + A_0, \quad \epsilon_1 + \epsilon_2 + 3\epsilon_0, \\ L_1 + L_0, \quad L_2 + 2L_0$$

となる。ここで、 L_0 はPN接合に印加される電圧によつて変動するが、説明を簡略にするためにその印加電圧を0Vに固定させた。

この時、すなわち半導体集積回路装置におけるキャパシタ平面積を同一とした時の通常半導体製造工程による従来構造のキャパシタ C_0 と第3図のこの発明の実施例の構造のキャパシタ $C = C_0 + C_1$

+C₂の比は

$$\frac{C}{C_0} = 5.5$$

となり、キャパシタンスが5.5倍になることを要している。言い換えれば、同一容量のキャパシタを得るためには、従来の構造で要する平面積のほぼ $\frac{1}{5.5}$ の平面積で形成することができることがわかる。

したがって、第3図の実施例の構造のキャパシタを形成することによつて、キャパシタの平面積に比例して増大するリーク電流を少なく抑えることができるだけでなく、半導体集積回路装置の集積度を上げることができる。

なお、以上は2層金属膜構造の半導体装置について記述したが、n層金属膜構造(n=3, 4...)として、V_{cc}とV_i間にキャパシタC₀, C₁, C₂に加えてキャパシタC₃, C₄...をも並列接続する構造にすることも可能である。そして、n層金属膜構造とすれば、上記実施例より、より小面積で、より大容量のキャパシタを形成することができ、

上記実施例に比べて一層のリーク電流の抑制と集積度の向上を図ることができる。

以上のように、この発明の半導体装置によれば、階層的にキャパシタを構成することにより、小面積にして大容量のキャパシタを得ることができ、リーク電流の抑制と集積度の向上を図ることができる。

4. 図面の簡単な説明

第1図は従来の半導体集積回路装置で構成されるキャパシタの断面図、第2図はこの発明の半導体装置の実施例を示す断面図である。

1...P型基板、2...N型エピタキシャル層、3...P型拡散層、4...N型拡散層、5, 51...第1層金属膜、6, 61...第2層金属膜、7...第1絶縁層、8...第2絶縁層。

特許出願人 沖電気工業株式会社

代理人 弁理士 菊池 弘



図 1

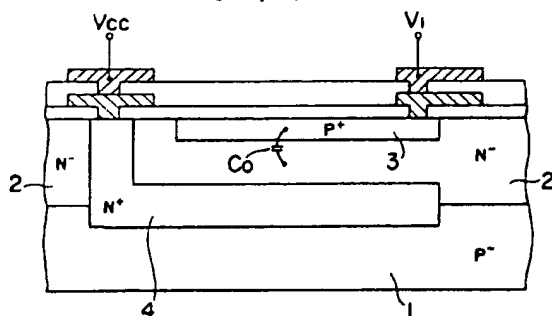
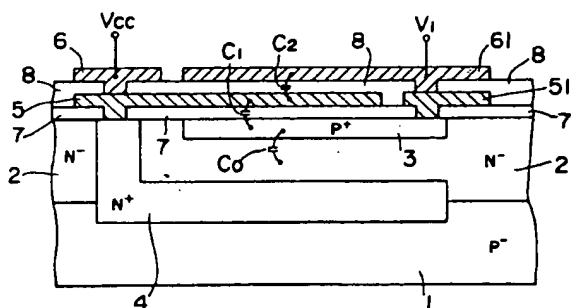


図 2



手続補正書

昭和58年12月16日

特許庁長官 島田 幸樹 殿

1. 事件の表示

昭和58年 特 許 願 第 122371 号

2. 発明の名称

半導体装置

3. 補正をする者

事件との関係 特 許 出 願 人

(029) 沖電気工業株式会社

4. 代 理 人

〒105 東京都港区虎ノ門一丁目2番20号 第1審判部

弁理士 菊池 弘

コード第6568号 電話 591-3065・501-2455

5. 補正命令の日付 昭和 年 月 日 (自発)

6. 補正の対象

明細書の発明の詳細な説明の欄

7. 補正の内容

別紙の通り

- 1) 明細書3頁8行「大きくするが」を「大きくするか」と訂正する。

